

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

11408210

Basic Patent (No,Kind,Date): JP 5249495 A2 930928 <No. of Patents: 001>

**PATENT FAMILY:**

**JAPAN (JP)**

Patent (No,Kind,Date): JP 5249495 A2 930928

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): SATO TAKUO

Priority (No,Kind,Date): JP 9284540 A 920306

Applic (No,Kind,Date): JP 9284540 A 920306

IPC: \* G02F-001/136; G02F-001/133; H01L-027/12; H01L-029/784

Derwent WPI Acc No: ; G 93-340574

JAPIO Reference No: ; 180007P000069

Language of Document: Japanese

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

04257795 \*\*Image available\*\*  
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-249495 [JP 5249495 A]  
PUBLISHED: September 28, 1993 (19930928)  
INVENTOR(s): SATO TAKUO  
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 04-084540 [JP 9284540]  
FILED: March 06, 1992 (19920306)  
INTL CLASS: [5] G02F-001/136; G02F-001/133; H01L-027/12; H01L-029/784  
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)  
JOURNAL: Section: P, Section No. 1670, Vol. 18, No. 7, Pg. 69, January  
07, 1994 (19940107)

#### ABSTRACT

**PURPOSE:** To suppress leak current in a thin film transistor used as a switching element of pixel.

**CONSTITUTION:** This active matrix liquid crystal display device has a structure comprising a substrate 4 and another substrate 8 facing to each other and a liquid crystal layer 9 interposed between these substrates. The substrate 4 has picture element electrodes 1 arranged in a matrix and thin film transistors 2 connected to the picture element electrodes. The substrate 8 has an opposite electrode 7. This thin film transistor 2 consists of polycrystalline semiconductor and has an asymmetric structure. For example, only between a high-concentration impurity region 2D connected to the picture element electrode 1 and a channel region 2C, low concentration impurity region 2LD comprising the same conductive material as the high concentration impurity region 2D is formed. By this constitution, even when high potential of picture element is maintained with off-level gate voltage, concentration of electric field in a PN junction in polycrystalline semiconductor can be suppressed and the leak current through the local level can be prevented.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-249495

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. <sup>4</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
H 0 1 L 27/12	A			
29/784		9058-4M	H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数3(全 6 頁)	

(21)出願番号 特願平4-84540

(22)出願日 平成4年(1992)3月6日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

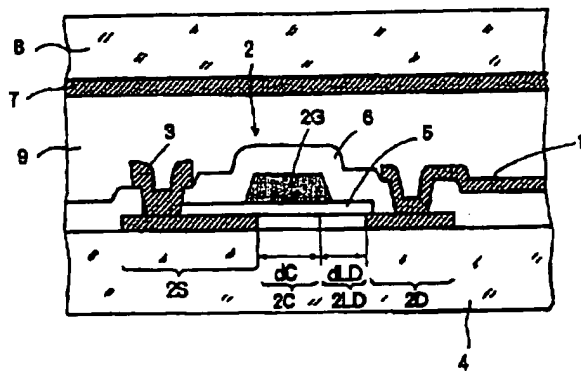
(74)代理人 弁理士 高橋 光男

## (54)【発明の名称】 液晶表示装置

## (57)【要約】

【目的】 アクティブマトリクス型液晶表示装置において画素のスイッチング素子として用いられる薄膜トランジスタのリーク電流を抑制する。

【構成】 アクティブマトリクス型液晶表示装置は、マトリクス状に配列された画素電極1とこの画素電極1に接続された薄膜トランジスタ2とを備えた一方の基板4と、対向電極7を有し一方の基板4と対面配置された他方の基板8と、両方の基板4、8に挟持された液晶層9とから構成されている。この薄膜トランジスタ2は多結晶半導体から構成されるとともに非対称構造を有している。例えば、画素電極1に接続される高濃度不純物領域2Dとチャネル領域2Cとの間のみを高濃度不純物領域2Dの導電型と同じ導電型からなる低濃度不純物領域2LDが設けられている。かかる構成により、オフレベルのゲート電圧で高い画素電位を保持している時でも、他結晶半導体中のPNジャンクションにおける電界集中を小さく抑え局在準位を介してのリーク電流を抑制する。



(2)

特開平5-249495

2

## 【特許請求の範囲】

【請求項1】 マトリクス状に配列された画素電極とこの画素電極に接続された薄膜トランジスタとを備えた一方の基板と、対向電極を有し前記一方の基板と対向配置された他方の基板と、両方の基板に保持された液晶層とを備えた液晶表示装置において、前記薄膜トランジスタは多結晶半導体からなり、前記画素電極に接続されている不純物領域とチャネル領域との間のみに、前記不純物領域の導電型と同じ導電型からなる低濃度不純物領域を設けた事を特徴とする液晶表示装置。

【請求項2】 信号ラインとゲートラインとの交差部分に配置された薄膜トランジスタとこの薄膜トランジスタに接続された画素電極とを有する一方の基板と、対向電極を有し前記一方の基板と対向配置された他方の基板と、両方の基板に保持された液晶層とを備えた液晶表示装置において、前記薄膜トランジスタは多結晶半導体からなり、前記薄膜トランジスタのソース不純物領域及びドレイン不純物領域の各々とチャネル領域との間に、前記不純物領域と同一導電型の低濃度不純物領域を有するとともに、前記低濃度不純物領域の長さは、前記画素電極に接続されている不純物領域に隣接している低濃度不純物領域の方が、前記信号ラインに接続されている不純物領域に隣接している低濃度不純物領域よりも長い事を特徴とする液晶表示装置。

【請求項3】 信号ラインとゲートラインとの交差部分に配置された薄膜トランジスタとこの薄膜トランジスタに接続された画素電極とを備えた一方の基板と、対向電極を有し前記一方の基板と対向配置された他方の基板と、両方の基板に保持された液晶層とを備えた液晶表示装置において、前記薄膜トランジスタは多結晶半導体からなり、前記薄膜トランジスタのソース不純物領域及びドレイン不純物領域の各々とチャネル領域との間に、前記不純物領域と同一導電型の低濃度不純物領域を有するとともに、前記低濃度不純物領域の濃度は、前記画素電極に接続されている不純物領域に隣接している低濃度不純物領域の方が、前記信号ラインに接続されている不純物領域に隣接している低濃度不純物領域よりも小さい事を特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は個々の薄膜トランジスタによって駆動される複数の画素がマトリクス配列されたアクティブマトリクス型の液晶表示装置に関する。より詳しくは、薄膜トランジスタの耐圧構造に関する。

## 【0002】

【従来の技術】 従来、薄膜トランジスタを利用したアクティブマトリクス型の液晶表示装置としては、例えば図

5に示す様な構造が知られている。この従来装置では、ガラス基板20の上に液晶セルを駆動する為の薄膜トランジスタ(TFT)21が形成されている。さらに、互いに直交するゲートライン22及び信号ライン23が形成されており、その交点に位置する個々の薄膜トランジスタ21に選択信号及び画像信号を供給する。加えて、個々の薄膜トランジスタ21によって駆動される液晶セルを構成する画素電極24が形成されている。この様に、TFT等が形成されたガラス基板20は所謂TFT基板25を構成する。このTFT基板25には所定の間隙を介して対向基板27が対面配置しており、両基板間に液晶層26が挟持されている。この液晶層は例えばツイストネマティック液晶から構成される。又、液晶層26と対向基板27との界面には透明導電材料からなる対向電極28が形成されている。

【0003】 薄膜トランジスタは選択信号にตอบสนองして導通し画像信号をサンプリングして対応する液晶セルに書き込む。選択信号が解除された後、薄膜トランジスタは非導通状態になり書き込まれた画像信号をホールドする。薄膜トランジスタはサンプリング及びホールドの為のスイッチング素子として機能する。この為、薄膜トランジスタはサンプリング期間中液晶セルを充電する為に十分な電流容量を有するとともに、ホールド期間中液晶セルの電位を保持する為リーク電流を極力抑える必要がある。例えば、多結晶半導体薄膜を用いてTFTを形成した場合、一般に電流容量は十分大きい値をとる事が可能である。非晶質半導体等と異なり、多結晶半導体ではかなり大きいキャリア移動度が得られる為である。

【0004】 一方、一般に書き込まれた画像信号あるいは画像データはサンプリング時間よりも遥かに長いホールド時間保持されなくてはならない。液晶セルの静電容量は通常数pF程度以下の小さい値である為、ホールド期間中僅かでもリーク電流が流れると液晶セルの画素電極電位は急激に低下してしまう。多結晶半導体薄膜を用いてTFTを形成した場合、結晶粒界中に多くのトラップ準位が局在している為、このトラップを介してかなり多くのリーク電流が流れてしまう。リーク電流があるとデータの保持特性が悪化するので、リーク電流を抑制する事が急務となっている。

【0005】 この目的の為に、従来から所謂オフセットゲート領域を設けたTFT構造が提案されている。この構造は、例えば特公平3-38755号公報に開示されており、以下図6を参照して簡潔に説明する。なお、図5に示す構造と同一の部分には同一の参照番号を付して理解を容易にしている。TFT21はゲート電極21Gを備えており、その直下にはゲート絶縁膜を介して多結晶シリコン薄膜からなるチャネル領域21Cが形成されている。その両側にはソース/ドレインの機能を果たす高濃度不純物領域21S、21Dが形成されている。信号ライン23側に接続された高濃度不純物領域21Sとチ

(3)

特開平5-249495

3

チャンネル領域21Cの間には高濃度不純物領域21Sと同じ導電型の低濃度不純物領域21LSあるいはオフセットゲート領域が設けられている。同様に、画素電極24に接続される高濃度不純物領域21Dとチャンネル領域21Cとの間にも高濃度不純物領域21Dと同導電型の低濃度不純物領域21LDあるいはオフセットゲート領域が設けられている。オフセットゲート領域の不純物濃度が低い為、PN接合のエネルギー障壁の幅は広くなる。この為、PN接合部に加えられる電界強度が弱められ電界集中が避けられるのでリーク電流が抑制される。

【0006】

【発明が解決しようとする課題】しかしながら、この様にオフセットゲート領域を設けても、ホールド期間中薄膜トランジスタのリークによる点欠陥画素の発生は完全には抑制できない。特に、全体的にリークレベルが大きくなる高温(例えば55℃)では、点滅状態に至る点欠陥画素が非常に多数発生してしまう。そこで解析を試みたところ、画素の点欠陥は液晶の交流駆動に関連しており、印加電圧の極性によってソース/ドレイン間にリーク電流が発生している事が判明した。

【0007】以下、図7を参照してリーク電流の原因を簡潔に説明する。一般に液晶表示装置では液晶の劣化を防ぐ為に交流駆動が行なわれている。例えば、1フィールド毎に画素電極に印加される信号電位の極性が反転する。換言すると、対向電極に対する画素電極の電位が正極性になる充電と保持、負極性となる充電と保持を交互に行なっている。この交流駆動においては、TFTの一对の高濃度不純物領域が交互にソースとドレインの役割を果たす。図7の波形図は、対向電極の電位 $V_{com}$ に対して高電位 $V_H$ を書き込み且つホールドした場合の電位変化と、 $V_{com}$ に対して低電位 $V_L$ を画素電極に書き込んだ場合の電位変化を表わしている。この波形図から理解される様に、正極性保持と負極性保持では、ソース/ドレイン間のチャンネルリーク電流の大きさが異なっている事が判明した。即ち、正極性保持の場合リーク電流が大きく画素電極電位 $V_H$ は速やかに減衰する。

【0008】一般に液晶駆動用の薄膜トランジスタとしてはNチャンネル型のTFTが用いられる。図示する様に、ホールド期間中TFTを非導通状態とする為にゲート電圧 $V_{Goff}$ は低いレベルにセットされる。従って、正極性保持の場合には画素電極に高電位 $V_H$ がホールドされている為保持期間を通してゲート電極との間に大きな電位差が生じる。逆に負極性保持の場合にはゲート電圧 $V_{Goff}$ に近い低電位 $V_L$ が保持される為、ゲート電極と画素電極との間の電位差は小さい。一方、信号ラインとゲート電極間の電位差については、正極性保持と負極性保持のいずれの場合にもサンプリングした画像信号のレベルに従って高電位と低電位の間を振動している。特に、1水平走査期間毎に信号ラインの極性を反転させる1H反転駆動の場合には、電位差の大きい期間と小さい

4

期間が1水平走査期間毎に入れ代る為、正極性保持の場合も負極性保持の場合も全く同一条件である。

【0009】以上の説明から明らかな様に、正極性保持の期間連続してゲート電極と画素電極との間に高電界が印加されている事になる。この為、局在準位を介して流れるリーク電流は負極性保持の期間よりも遥かに大きくなってしまい、正極性保持期間中高電位の画像信号レベルを十分ホールドできず結果的に液晶に対する交流駆動のバランスが崩れ、点滅をする点欠陥画素が多発する。

10 【0010】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は正極性保持期間中画素電極とゲート電極との間に高電界が印加されてもリーク電流が小さくその為点欠陥画素の少ない液晶表示装置を提供する事を目的とする。かかる目的を達成する為に講じられた3つの手段を以下に説明する。

【0011】第1の手段によれば、マトリクス状に配列された画素電極とこの画素電極に接続された薄膜トランジスタとを備えた一方の基板と、対向電極を有し前記一方の基板と対向配置された他方の基板と、両方の基板に保持された液晶層とを備えたアクティブマトリクス型液晶表示装置において、前記薄膜トランジスタは多結晶半導体からなり、前記画素電極に接続されている高濃度不純物領域とチャンネル領域との間のみに、前記高濃度不純物領域の導電型と同じ導電型からなる低濃度不純物領域を設けた。

【0012】第2の手段においては、同様の構成を有するアクティブマトリクス型液晶表示装置において、薄膜トランジスタのソース高濃度不純物領域及びドレイン高濃度不純物領域の各々とチャンネル領域との間に、前記高濃度不純物領域と同一導電型の低濃度不純物領域を設けるとともに、前記低濃度不純物領域の長さは、前記画素電極に接続されている高濃度不純物領域に隣接している低濃度不純物領域の方が、信号ラインに接続されている高濃度不純物領域に隣接している低濃度不純物領域よりも長い。

【0013】第3の手段によれば、アクティブマトリクス型液晶表示装置において、薄膜トランジスタのソース高濃度不純物領域及びドレイン高濃度不純物領域の各々とチャンネル領域との間に、高濃度不純物領域と同一導電型の低濃度不純物領域を有するとともに、低濃度不純物領域の濃度は画素電極に接続されている高濃度不純物領域に隣接している低濃度不純物領域の方が、信号ラインに接続されている高濃度不純物領域に隣接している低濃度不純物領域よりも小さい。

【0014】

【作用】第1の手段によれば、薄膜トランジスタは画素電極側においてのみ高濃度不純物領域とチャンネル領域との間に低濃度不純物領域が形成された非対称構造を有している。この為、低レベルのゲート電圧で薄膜トランジ

特開平5-249495

(4)

6

スタを非導通状態にし高い画素電圧をホールドしている正極性保持期間中、チャネル領域における電界の集中を小さく抑える事ができ局在準位を介してのリーク電流を抑制する事ができる。

【0015】第2の手段によれば、薄膜トランジスタは一对の高濃度不純物領域即ちソース領域及びドレイン領域の各々とチャネル領域との間に介在する低濃度不純物領域の長さが非対称な構造を有しており、画素電極側の低濃度不純物領域の方が長く形成されている。この為、画素電位の正極性保持期間中、ゲート電極と画素電極との間に高電位差が生じて、チャネル領域中における電界の集中を小さく抑える事ができ局在準位を介してのリーク電流を抑制する。

【0016】第3の手段によれば、薄膜トランジスタはソース領域及びドレイン領域の各々とチャネル領域との間に形成された低濃度不純物領域の濃度が非対称な構造を有しており、画素電極側の低濃度不純物領域の濃度が小さく形成されている。この為、薄膜トランジスタが非導通状態になるゲート電圧で高い画素電圧を保持している期間中も、電界集中を小さく抑える事ができリーク電流を抑制する。

【0017】以上の説明から明らかな様に、本発明によれば画素電極側においてより高電界に強い構造を有する非対称薄膜トランジスタを形成する事ができる為、正極性保持期間中の電流リークによる点欠陥画素の発生を効果的に抑制する事ができる。

【0018】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な部分断面図である。図示する様に、画素電極1をスイッチング駆動する為に薄膜トランジスタ2が形成されている。この薄膜トランジスタ2は例えば多結晶シリコン薄膜で構成されておりNチャネル型である。薄膜トランジスタの一方の高濃度不純物領域2Dが画素電極1に接続される一方、他方の高濃度不純物領域2Sは信号ライン3に接続されている。さらに、ゲート電極2Gは図示しないゲートラインに接続されている。ここで、高濃度不純物領域2D及び高濃度不純物領域2Sは交流駆動の極性に依じて双方ともソースにもドレインにもなり得る。さらに、この実施例の特徴事項として、画素電極1に接続された高濃度不純物領域2Dとチャネル領域2Cとの間には低濃度不純物領域2LDが形成されている。以上に説明した画素電極1、薄膜トランジスタ2、信号ライン3等はガラス基板4の上に集積形成されている。又、ゲート電極2Gとチャネル領域はゲート絶縁膜5を介して電気的に絶縁されている。さらに、画素電極1は層間絶縁膜6を介して基板上に設けられている。最後に、全面に対向電極7が形成されたガラス等からなるもう一方の絶縁基板8が上述の絶縁基板4に対面して配置され、これ

ら両基板間に液晶層9（例えばツイストネマティック液晶）が封入されて液晶表示装置が構成される。

【0019】次に、上述した液晶表示装置の製造方法特に下側のTFT基板の製造方法を説明する。ガラス又は石英ガラスからなる絶縁基板4上に、薄膜トランジスタを構成する50nmの多結晶シリコン膜をLPCVD法により形成し、イオン打ち込みで濃度の異なる不純物領域を形成する。N型の薄膜トランジスタの場合、例えばチャネル領域に対してボロンを $1 \sim 5 \times 10^{12} / \text{cm}^2$ のドーズで打ち込む。又、高濃度不純物領域2D及び2Sには、燐又は砒素を $5 \times 10^{14} \sim 5 \times 10^{15} / \text{cm}^2$ のドーズで打ち込む。さらに、低濃度不純物領域2LDを形成する為に、燐又は砒素を $5 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ のドーズでイオン打ち込みする。この時、チャネル長さdCは5 $\mu\text{m}$ に設定し低濃度不純物領域2LDの長さdLDは1 $\mu\text{m}$ に設定する。多結晶シリコン膜上に、SiO<sub>2</sub>からなるゲート絶縁膜5を介してゲート電極2G及びゲートラインをLPCVD法により共通に形成する。これらゲート電極及びゲートラインは不純物をドーブした350nmの厚みの多結晶シリコン膜からなる。その上に、APCVD法を用いてPSG膜600nmからなる層間絶縁膜6を形成する。さらにスパッタリングにより600nmの膜厚を有するアルミニウムからなる信号ライン3を形成する。最後に、スパッタを用いて150nmの膜厚を有するITO膜からなる画素電極1を形成する。

【0020】次に図2を参照して上述した第1実施例の動作を説明する。第1実施例にかかる薄膜トランジスタは画素電極側においてのみ高濃度不純物領域2Dとチャネル領域2Cとの間に低濃度不純物領域2LDが形成された非対称構造を有している。この為、オフレベルのゲート電圧で高い画素電圧V<sub>H</sub>をホールドしている正極性保持期間中に、電界の集中を小さく抑える事ができ局在準位を介してのリーク電流を効果的に抑制する。これにより、高温（55℃）状態下でも正極性保持期間中負極性期間と殆ど変る事なくリーク電流を抑える事ができ点欠陥画素の発生を防止できる。図2はこの時の画素電位の変化の様子を模式的に示したものである。なお上述の第1実施例においては、画素電極側の低濃度不純物領域2LDの長さdLDは1 $\mu\text{m}$ で形成したが、本発明はこの範囲に限られるものではなく、リーク電流を抑えると同時に十分な駆動電流が得られる範囲であれば良い。例えば、燐又は砒素を $5 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ で打ち込んだ場合には、0.5 $\sim$ 5 $\mu\text{m}$ の範囲に設定可能である。

【0021】図3は本発明にかかるアクティブマトリクス型液晶表示装置の第2実施例を示す模式的な部分断面図であり、特にTFTの部分のみを取り出して示してある。理解を容易にする為に、図1に示す第1実施例と同一の構成部分には同一の参照符号を付してある。この実

(5)

特開平5-249495

7

施例では、薄膜トランジスタ2の高濃度不純物領域2D及び高濃度不純物領域2Sの各々とチャネル領域2Cとの間に、低濃度不純物領域2LD及び低濃度不純物領域2LSが形成されている。各領域の不純物濃度は第1実施例と同様である。チャネル長dCは5 $\mu$ mに設定されている。この実施例の特徴事項として、画素電極1側の低濃度不純物領域2LDの長さdLDは2 $\mu$ mに設定されている一方、信号ライン3側の低濃度不純物領域2LSの長さdLSは1 $\mu$ mに形成されており、薄膜トランジスタ2は非対称構造となっている。その他の条件を第1実施例と同様にしてアクティブマトリクス型液晶表示装置を構成すると、正極性保持期間中のリークによる点欠陥画素の発生を抑制する事ができた。

【0022】なお、この第2実施例で設定した低濃度不純物領域2LD及び2LSの長さ寸法は例示であってこれに限られるものではない。一般に、正極性保持と負極性保持でのリーク電流を同等のレベルにすると同時に十分な駆動電流あるいはオン電流が得られる範囲であれば良い。例えば、燐又は砒素を $5 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ で打ち込んだ場合は、dLDとdLSの和が8 $\mu$ m以下で、dLDの方がdLSより少なくとも0.5 $\mu$ m以上長く形成すれば良い。

【0023】最後に、図4を参照して第3実施例を説明する。第2実施例と同一の構成部分には同一の参照番号を付して理解を容易にしている。この実施例においても、薄膜トランジスタ2の高濃度不純物領域2D及び高濃度不純物領域2Sの各々とチャネル領域2Cとの間には低濃度不純物領域2LD及び低濃度不純物領域2LSが形成されている。チャネル領域2Cと高濃度不純物領域2D及び2Sの不純物濃度は第1実施例と同様である。この実施例の特徴事項として、画素電極1側の低濃度不純物領域2LDを形成する為に燐又は砒素を $5 \times 10^{12} / \text{cm}^2$ のドーズでイオン注入するとともに、信号ライン3側の低濃度不純物領域2LSを形成する為に燐又は砒素を $1 \times 10^{13} / \text{cm}^2$ のドーズでイオン注入した。従って、この実施例にかかる薄膜トランジスタ2は低濃度不純物領域の濃度に関して非対称構造を有する。なお、チャネル長dCは5 $\mu$ mに設定され画素電極1側の低濃度不純物領域2LDの長さdLD及び信号ライン3側の低濃度不純物領域2LSの長さdLSはともに1 $\mu$ mに設定されている。その他の条件を先の実施例と同様にしてアクティブマトリクス型液晶表示装置を構成すると正極性保持期間中のリークによる点欠陥画素の発生を抑制する事ができた。

【0024】なお上述の第3実施例において示した低濃度不純物領域形成の為の不純物ドーズ量は例示であってこれに限られるものではない。一般に、正極性保持と負極性保持でのリーク電流を同等レベルにすると同時に十分なオン電流が得られる範囲であれば良い。例えば、dLDとdLSが各々4 $\mu$ m以下で、燐又は砒素を $5 \times 1$

8

$0^{12} \sim 2 \times 10^{13} / \text{cm}^2$ のドーズ範囲でイオン注入する場合には、信号ライン3側の低濃度不純物領域2LSの不純物濃度に対して画素電極1側の低濃度不純物領域2LDの不純物濃度を80%以下に設定すれば良い。

【0025】又、上述した3つの実施例においてはチャネル長dCを5 $\mu$ mに設定して薄膜トランジスタを形成したが本発明はこれに限られるものではない。ソース/ドレイン間の耐圧が得られれば、さらにチャネル長は短くても良い。無論、長い分には一向に差し支えない。

【0026】さらに、上述した各実施例においては、薄膜トランジスタのゲート電極及びゲートラインは多結晶シリコンで構成され、ゲート絶縁膜はSiO<sub>2</sub>で構成され、信号ラインはアルミニウムで構成されていたが、本発明はこれに限られるものではない。例えば、ゲート電極及びゲートラインはシリサイド、ポリサイド、又は金属としてはTa, Al, Cr, Mo, Ni、及びこれらの合金等を用いる事ができる。ゲート絶縁膜は例えばSiN、酸化タンタル等を用いる事ができる。信号ラインは例えばTa, Cr, Mo, Ni、及びこれらの合金等を用いる事ができる。

【0027】加えて、本発明はプレーナ型、正スタガ型又は逆スタガ型のいずれの薄膜トランジスタを用いた液晶表示装置にも適用可能である事は勿論である。

【0028】

【発明の効果】以上説明した様に、本発明によれば、アクティブマトリクス型液晶表示装置のスイッチング素子を構成する薄膜トランジスタを非対称構造にした。例えば、画素電極側においてのみ高濃度不純物領域とチャネル領域との間に低濃度不純物領域を形成する。あるいは、チャネル領域の両側に低濃度不純物領域を設けた場合には、画素電極側の低濃度不純物領域の長さを大きく形成する。これに代えて、画素電極側の低濃度不純物領域の不純物濃度を小さく形成しても良い。かかる非対称構造を採用する事により、画素電極側においてより高電界に強い薄膜トランジスタを形成する事ができる。この為、オフレベルのゲート電圧で高い画素電位を保持している期間中でも、電界の集中を小さく抑えられ局在準位を介してのリーク電流を抑制する事で、正極性保持時のリークによる点欠陥画素の発生を効果的に抑制する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な要部断面図である。

【図2】第1実施例における画素電位の変化を示す波形図である。

【図3】本発明の第2実施例を示す要部断面図である。

【図4】本発明の第3実施例を示す要部断面図である。

【図5】従来のアクティブマトリクス型液晶表示装置の一例を示す部分断面図である。

【図6】従来の液晶表示装置に組み込まれる薄膜トラン

(6)

特開平5-249495

9

10

ジスタの構造を示す要部断面図である。

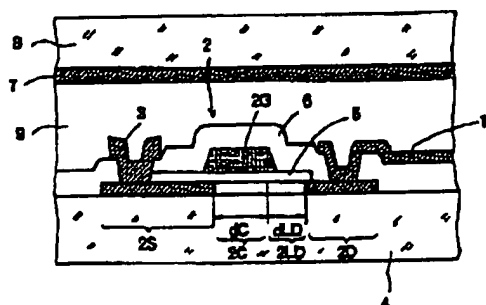
【図7】従来の液晶表示装置における画素電位の変化を示す波形図である。

【符号の説明】

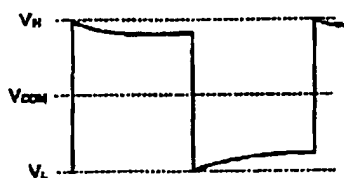
- 1 画素電極
- 2 薄膜トランジスタ
- 2G ゲート電極
- 2S 高濃度不純物領域
- 2D 高濃度不純物領域
- 2C チャンネル領域
- 2LS 低濃度不純物領域

- 2LD 低濃度不純物領域
- dC チャンネル長
- dLS 低濃度不純物領域の長さ
- dLD 低濃度不純物領域の長さ
- 3 信号ライン
- 4 絶縁基板
- 5 ゲート絶縁膜
- 6 層間絶縁膜
- 7 対向電極
- 10 8 対向基板
- 9 液晶層

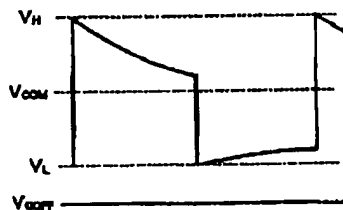
【図1】



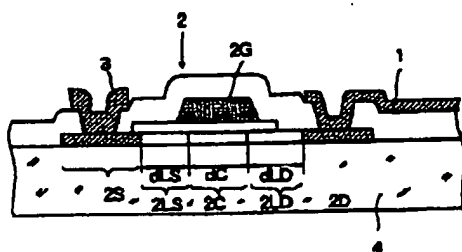
【図2】



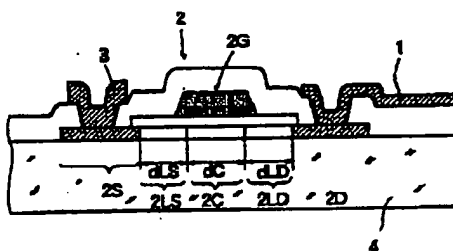
【図7】



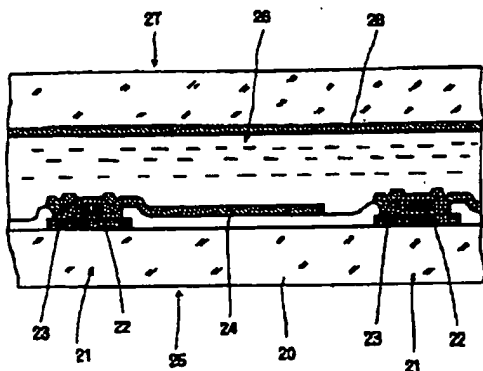
【図3】



【図4】



【図5】



【図6】

